

### **Introduction**

Il n'existe aucun document technique concernant ce télescope, les seules informations sont celle d'une documentation en Anglais téléchargée sur le site du constructeur.

A la lecture de ce document il apparaît clairement que l'exploitation de ce matériel n'est pas compatible avec les possibilités offertes par le CALC

1. Ce matériel fonctionne avec une batterie de 12volts qu'il faut recharger à chaque utilisation. Pour cette recharge compter 6 heures.
2. Si on sait que le matériel n'est pas utilisé régulièrement il faut faire une recharge complète durée 24heures tous les 4 mois
3. Si le matériel est inactif pendant six mois sans recharge, les batteries sont à changer ce qui entraîne le démontage du panneau de puissance
4. A chaque fin d'utilisation il faut déconnecter les fiches d'alimentation du télescope et du ventilateur de miroir

La décision prise est de remplacer le panneau de commande, par un boîtier muni des embases male et femelle d'un interrupteur et d'un fusible

### **Contrôle électrique de l'équipement**

#### *Raquette de commande*

Six pistes coupées et une pile 9 volts ont amené à se poser des questions sur ce matériel

#### *Raccordement du télescope*

Un test de continuité a permis de trouver une connexion entre le pôle négatif de la fiche alimentant le télescope et la masse de la platine de commande. Par contre on ne trouve aucune liaison entre le plus 12 de cette platine et la broche + de la fiche d'alimentation

Contact a été pris avec la Maison de l'astronomie qui nous a renvoyé vers le constructeur

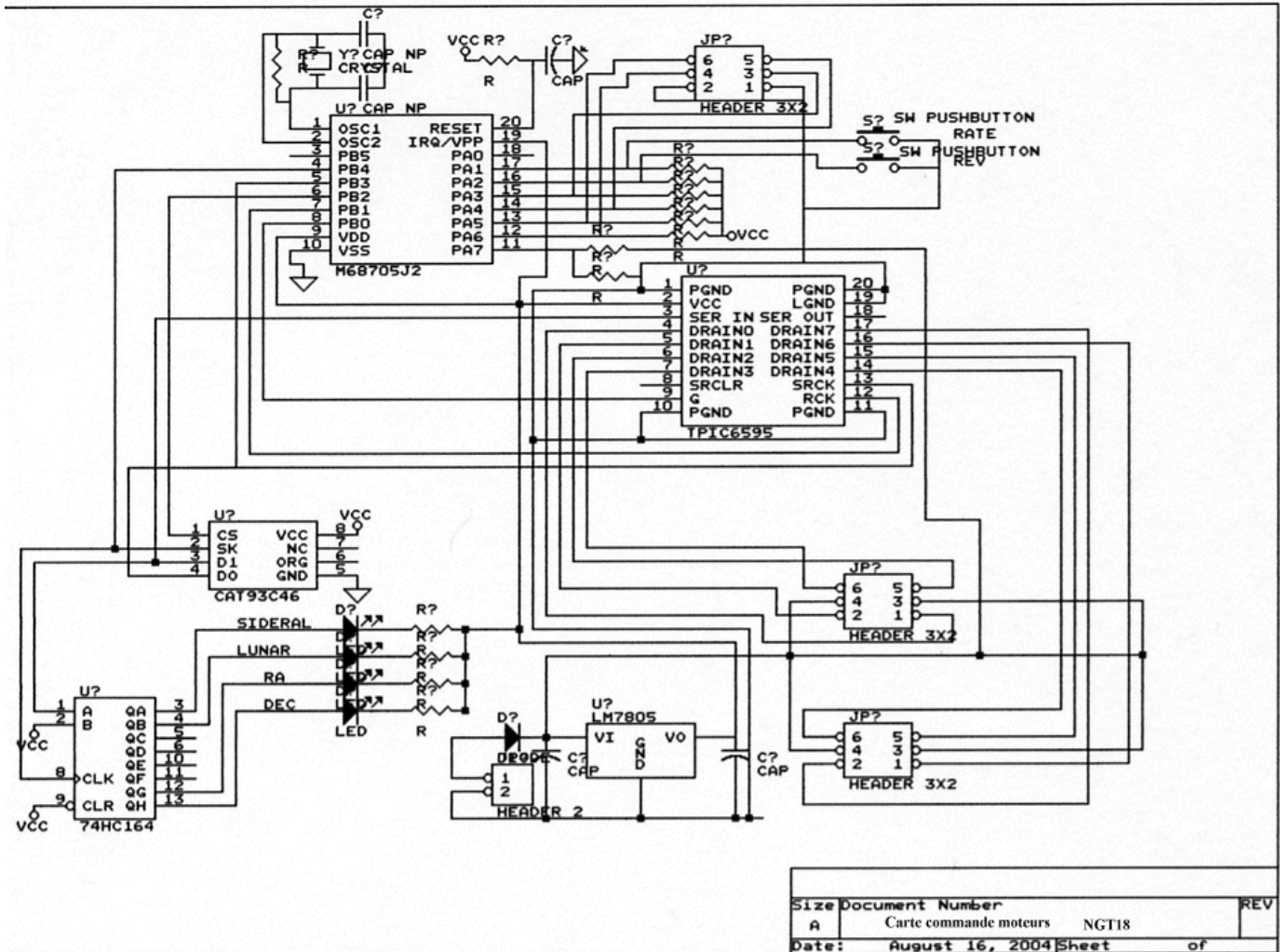
Une première réponse de celui ci nous a confirmé que l'état de la raquette de commande était normal.

Par contre il nous demande des informations complémentaires concernant le raccordement au télescope.

Une visite à la COUYÈRE a permis de récupérer de la doc en français mais il n'y a aucune trace d'un microcalculateur mentionné sur la documentation.

Comme la réponse tardait à venir il a été procédé à la reconstitution du schéma électrique de la carte de commande et d'identifier les circuits intégrés utilisés dont les sorties sont repérées sur les documents joints en annexe.

## REMISE EN ETAT ELECTRONIQUE NGT18



Ceci permet de comprendre comment l'entraînement est piloté.

Comme la réponse tardait, on a choisi de vérifier la partie la plus fragile : la fiche d'alimentation du télescope. Cette fiche étant remplie de colle il a fallu y entrer en l'ouvrant à la pince coupante avec toutes les précautions nécessaires.

Au niveau de la soudure sur le + il y avait une trace noire dans la colle à cet endroit il y avait une coupure des 2 fils jaune et rouge devant être reliés à ce + un test nous montre que le fil rouge est relié au +12 de la carte commande et le fil jaune à la seconde embase DB15. Les fils noir et vert sont réunis à la masse. Comme on ne trouve pas exactement les mêmes fiches et embases il faut donc re-câbler avec autre chose.

La boîte prévu est réalisé et les prise télescope et ventilateur changées.

On en profite pour ouvrir quelques capots et enlever poussières et toiles d'araignées.

Le tout est remis en place. Le télescope est branché : à l'oreille avec une baguette appuyée sur les moteurs on vérifie leur fonctionnement et les changements de vitesse dus à la raquette.

Puis à l'aide de bandelette auto collantes on vérifie le bon entraînement des déclinaison et ascension droite

### Possibilités offertes par ce télescope

Ce n'est pas un "goto" La course de réglage de la déclinaison n'est que de 2 à 3 degrés

Il faut donc le repositionner à la main en desserrant les entraînements AR et DEC. Par contre les encodeurs étant directement sur les axes de rotation avec l'aide du calculateur manquant on retrouve facilement les étoiles

# ANNEXE 1

## MC68HC705J2 Rev. 2

### SECTION 2 PIN DESCRIPTIONS

This section describes the function of each pin. [Figure 2-1](#) shows the pin assignments.

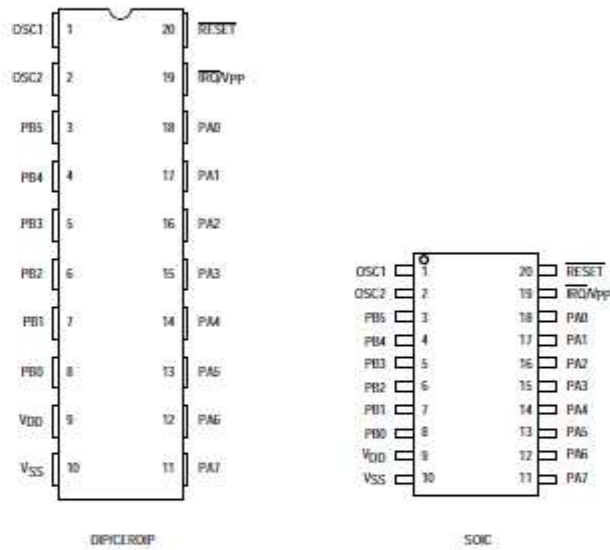


Figure 2-1. Pin Assignments

## ANNEXE2

# CAT93C46/56/57/66/86

1K/2K/2K/4K/16K-Bit Microwire Serial EEPROM



### FEATURES

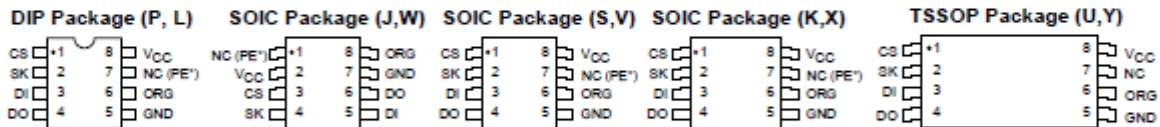
- High speed operation:
  - 93C46/56/57/66: 1MHz
  - 93C86: 3MHz
- Low power CMOS technology
- 1.8 to 6.0 volt operation
- Selectable x8 or x16 memory organization
- Self-timed write cycle with auto-clear
- Hardware and software write protection
- Power-up inadvertant write protection
- 1,000,000 Program/erase cycles
- 100 year data retention
- Commercial, industrial and automotive temperature ranges
- Sequential read (except CAT93C46)
- Program enable (PE) pin (CAT93C86 only)
- “Green” package option available

### DESCRIPTION

The CAT93C46/56/57/66/86 are 1K/2K/2K/4K/16K-bit Serial EEPROM memory devices which are configured as either registers of 16 bits (ORG pin at V<sub>CC</sub>) or 8 bits (ORG pin at GND). Each register can be written (or read) serially by using the DI (or DO) pin. The CAT93C46/56/57/66/86 are manufactured using Catalyst’s advanced

CMOS EEPROM floating gate technology. The devices are designed to endure 1,000,000 program/erase cycles and have a data retention of 100 years. The devices are available in 8-pin DIP, 8-pin SOIC, 8-pin TSSOP and 8-pad TDFN packages.

### PIN CONFIGURATION



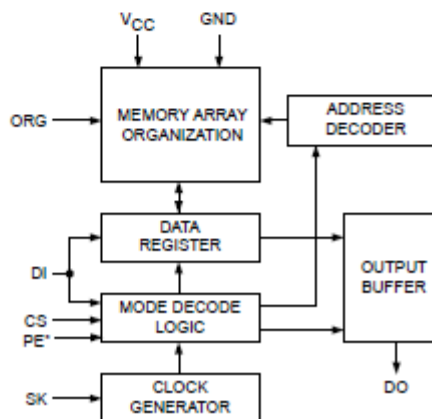
\*Only For 93C86    \*\* TSSOP (U/Y) package only available for 93C46/56/57/66

### PIN FUNCTIONS

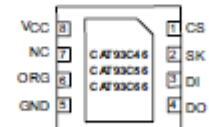
Pin Name	Function
CS	Chip Select
SK	Clock Input
DI	Serial Data Input
DO	Serial Data Output
V <sub>CC</sub>	+1.8 to 6.0V Power Supply
GND	Ground
ORG	Memory Organization
NC	No Connection
PE*	Program Enable

Note: When the ORG pin is connected to V<sub>CC</sub>, the x16 organization is selected. When it is connected to ground, the x8 pin is selected. If the ORG pin is left unconnected, then an internal pullup device will select the x16 organization.

### BLOCK DIAGRAM



### TDFN Package (RD4, ZD4)



Bottom View

# ANNEXE3

## TPIC6595 POWER LOGIC 8-BIT SHIFT REGISTER

SUS010A - APRIL 1992 - REVISED OCTOBER 1995

- Low  $r_{DS(on)}$  . . . 1.3  $\Omega$  Typical
- Avalanche Energy . . . 75 mJ
- Eight Power DMOS Transistor Outputs of 250-mA Continuous Current
- 1.5-A Pulsed Current Per Output
- Output Clamp Voltage at 45 V
- Devices Are Cascadable
- Low Power Consumption

### description

The TPIC6595 is a monolithic, high-voltage, high-current power 8-bit shift register designed for use in systems that require relatively high load power. The device contains a built-in voltage clamp on the outputs for inductive transient protection. Power driver applications include relays, solenoids, and other medium-current or high-voltage loads.

This device contains an 8-bit serial-in, parallel-out shift register that feeds an 8-bit D-type storage register. Data transfers through both the shift and storage registers on the rising edge of the shift-register clock (SRCK) and the register clock (RCK) respectively. The storage register transfers data to the output buffer when shift-register clear (SRCLR) is high. When SRCLR is low, the input shift register is cleared. When output enable ( $\bar{G}$ ) is held high, all data in the output buffers is held low and all drain outputs are off. When  $\bar{G}$  is held low, data from the storage register is transparent to the output buffers. The serial output (SER OUT) allows for cascading of the data from the shift register to additional devices.

Outputs are low-side, open-drain DMOS transistors with output ratings of 45 V and 250-mA continuous sink current capability. When data in the output buffers is low, the DMOS-transistor outputs are off. When data is high, the DMOS-transistor outputs have sink current capability.

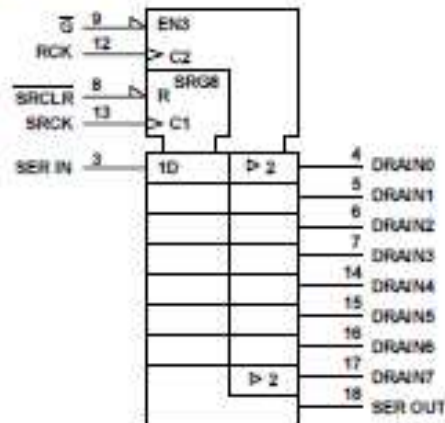
Separate power and logic level ground pins are provided to facilitate maximum system flexibility. Pins 1, 10, 11, and 20 are internally connected, and each pin must be externally connected to the power system ground in order to minimize parasitic inductance. A single-point connection between pin 19, logic ground (LGND), and pins 1, 10, 11, and 20, power grounds (PGND), must be externally made in a manner that reduces crosstalk between the logic and load circuits.

The TPIC6595 is characterized for operation over the operating case temperature range of  $-40^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ .

DW OR N PACKAGE  
(TOP VIEW)



### logic symbol



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



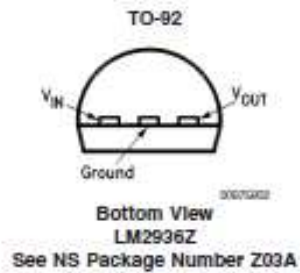
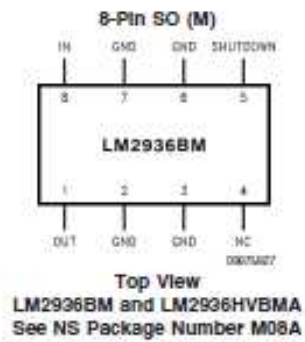
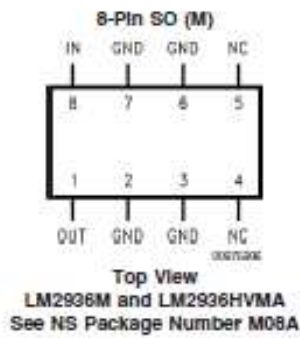
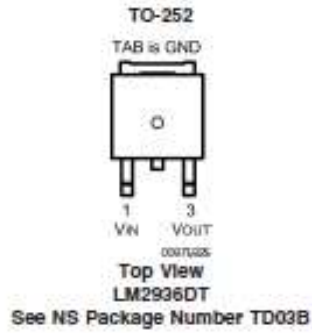
POST OFFICE BOX 655533 • DALLAS, TEXAS 75265

Copyright © 1995, Texas Instruments Incorporated

ANNEXE4

LM2936

Connection Diagrams



# ANNEXE5

**MOTOROLA**  
SEMICONDUCTOR TECHNICAL DATA

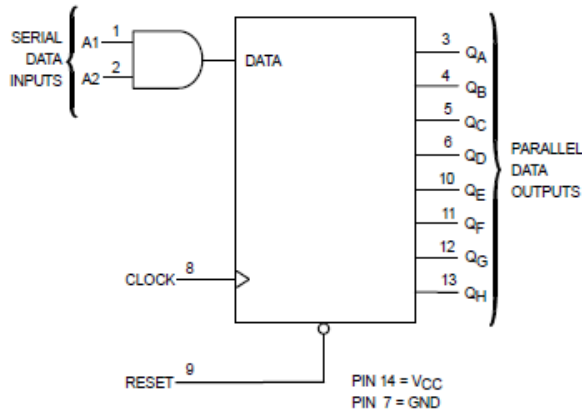
## 8-Bit Serial-Input/ Parallel-Output Shift Register High-Performance Silicon-Gate CMOS

The MC54/74HC164 is identical in pinout to the LS164. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The MC54/74HC164 is an 8-bit, serial-input to parallel-output shift register. Two serial data inputs, A1 and A2, are provided so that one input may be used as a data enable. Data is entered on each rising edge of the clock. The active-low asynchronous Reset overrides the Clock and Serial Data inputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1  $\mu$ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 244 FETs or 61 Equivalent Gates

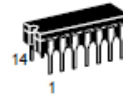
LOGIC DIAGRAM



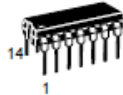
### MC54/74HC164

*Do Not Use for New Designs*

THIS DEVICE WILL BE SUPERCEDED BY MC54/74HC164A IN THE SECOND QUARTER OF 1998



J SUFFIX  
CERAMIC PACKAGE  
CASE 832-08



N SUFFIX  
PLASTIC PACKAGE  
CASE 646-08



D SUFFIX  
SOIC PACKAGE  
CASE 751A-03

ORDERING INFORMATION

MC54HCXXXJ Ceramic  
MC74HCXXXN Plastic  
MC74HCXXXD SOIC

PIN ASSIGNMENT

A1	1	14	V <sub>CC</sub>
A2	2	13	Q <sub>H</sub>
Q <sub>A</sub>	3	12	Q <sub>G</sub>
Q <sub>B</sub>	4	11	Q <sub>F</sub>
Q <sub>C</sub>	5	10	Q <sub>E</sub>
Q <sub>D</sub>	6	9	RESET
GND	7	8	CLOCK

FUNCTION TABLE

Inputs				Outputs			
Reset	Clock	A1	A2	Q <sub>A</sub>	Q <sub>B</sub>	...	Q <sub>H</sub>
L	X	X	X	L	L	...	L
H		X	X	No Change			
H		H	D	D	Q <sub>An</sub>	...	Q <sub>Gn</sub>
H		D	H	D	Q <sub>An</sub>	...	Q <sub>Gn</sub>

D = data input  
Q<sub>An</sub> - Q<sub>Gn</sub> = data shifted from the preceding stage on a rising edge at the clock input.

